

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-203966

(43)Date of publication of application : 19.07.2002

(51)Int.Cl.

H01L 29/78
H01L 21/8234
H01L 27/06
H01L 29/872

(21)Application number : 2000-398857

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.12.2000

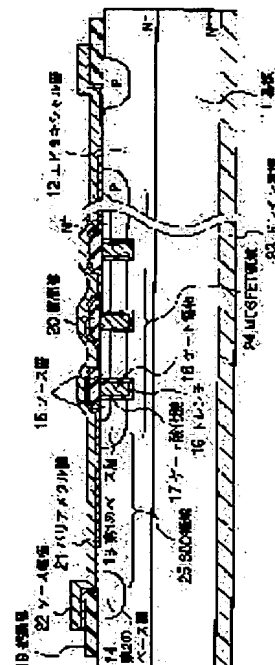
(72)Inventor : UCHIDA SHOTARO
MORIGUCHI KOJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To downsize a vertical field effect transistor which has a trench structure with a built-in Schottky barrier diode.

SOLUTION: For example, a trench structure of gate electrode 18 is made at the surface of an epitaxial layer 12 where a first base layer 13 and a source layer 15 are made. This gate electrode 18 is made with its form being contrived so that it may not subdivide the source layer 15. This obviates the necessity of supplying power severally to each of the source layers 15, so it becomes possible to omit the formation of the P layer (or P+ layer).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE LEFT BLANK

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-203966

(P2002-203966A)

(43) 公開日 平成14年7月19日 (2002. 7. 19)

(51) Int.Cl.⁷

H 0 1 L 29/78

識別記号

6 5 7

6 5 2

6 5 3

F I

H 0 1 L 29/78

テームト* (参考)

6 5 7 A 4 M 1 0 4

6 5 2 K 5 F 0 4 8

6 5 2 B

6 5 2 P

6 5 3 C

審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く

(21) 出願番号

特願2000-398857 (P2000-398857)

(22) 出願日

平成12年12月27日 (2000. 12. 27)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 内田 正太郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 森口 浩治

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

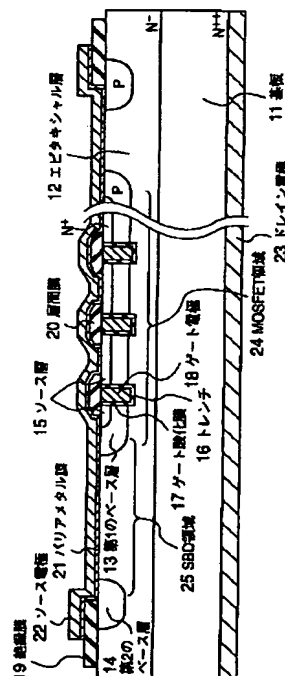
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 本発明は、ショットキーバリアダイオードを内蔵したトレンチ構造を有する縦型電界効果トランジスタにおいて、小型化できるようにすることを最も主要な特徴としている。

【解決手段】 たとえば、第1のベース層13およびソース層15が形成されたエピタキシャル層12の表面部に、トレンチ構造のゲート電極18を形成する。このゲート電極18は、ソース層15を細分化しないように、その形状を工夫して形成するようにする。これにより、ソース層15に対して、それぞれに電源を供給する必要がなくなるため、P層（または、P+層）の形成を省略することが可能となる。



【特許請求の範囲】

【請求項 1】 第 1 の表面および対向する第 2 の表面を有する第 1 導電型の半導体基板と、

この半導体基板の第 1 の表面上に設けられた第 1 導電型の半導体層と、

この半導体層の表面領域に選択的に設けられた第 2 導電型の第 1、第 2 のベース領域と、

前記第 1 のベース領域の表面領域に選択的に設けられた、少なくとも 1 つの第 1 導電型のソース領域と、

前記ソース領域および前記第 1 のベース領域を貫通し、前記半導体層に達する深さを有して設けられたトレンチ構造の複数のゲート電極と、

前記半導体層、前記第 1、第 2 のベース領域および前記ソース領域の表面に設けられたソース電極と、

前記半導体基板の第 2 の表面上に設けられたドレイン電極とを具備し、

前記第 1 のベース領域、前記ソース領域および前記ゲート電極からなるトランジスタ領域と、前記第 1、第 2 のベース領域および前記第 1、第 2 のベース領域間の前記半導体層からなるダイオード領域とを、前記半導体基板上に配設してなることを特徴とする半導体装置。

【請求項 2】 前記複数のゲート電極は、ゲート電極間における前記ソース領域を互いに接続するように設けられることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記ゲート電極間における前記ソース領域の相互間には、第 2 導電型の不純物領域が選択的に配置されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記ソース電極は、前記ダイオード領域に対応して設けられる第 1 のバリアメタルと、前記トランジスタ領域に対応して設けられる第 2 のバリアメタルとを備えてなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記第 1 のバリアメタルおよび前記第 2 のバリアメタルは、互いの接部が重なり合うようにして配設されてなることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記接部は、前記第 1 のベース領域上に位置することを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記第 2 のベース領域は、ガードリングを構成することを特徴とする請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関するもので、特に、ショットキーバリアダイオードを内蔵したトレンチ構造を有する縦型電界効果トランジスタに関するものである。

【0002】

【従来の技術】従来から、電界効果トランジスタを利用した同期整流回路がよく知られている。

【0003】図 7 は、一般的な電界効果トランジスタを使用した同期整流回路の一例を示すものである。この同期整流回路においては、電界効果トランジスタ 101 のゲートオフ時に、逆起電力によって、電界効果トランジスタ 102 に逆方向電流が流れる。この回路の場合、電界効果トランジスタ 102 は、少し遅れてオンするようになっている。そのため、ある時間は寄生 P-N ダイオード 102a に順方向電流が流れ、大きな電力損失が発生する。この電力損失を抑制するために、従来の同期整流回路には、寄生 P-N ダイオード 102a とは別に、電力損失の小さいショットキーバリアダイオード 103 が外付けにより設けられている。

【0004】図 8 は、上記同期整流回路に用いられる、従来の縦型電界効果トランジスタの構成例を示すものである。なお、同図 (a) は要部の断面図であり、同図 (b) はその一部を透視して示す平面図である。

【0005】図 (a)、(b) において、N++ 型基板 111 の一表面には、N- 型のエピタキシャル層 112 が設けられている。このエピタキシャル層 112 の表面領域には、P 型ベース層 113 が形成されている。このベース層 113 の表面領域には、N+ 型ソース層 114、および、横方向拡散領域 115a を有する P 層（または、P+ 層）115 が配置されている。

【0006】また、上記エピタキシャル層 112 の表面部には、上記ソース層 114 および上記ベース層 113 を貫通し、上記エピタキシャル層 112 に達する深さを有して、トレンチ 116 が形成されている。トレンチ 116 内には、ゲート酸化膜 117 を介して、ゲート電極 118 が埋め込み形成されている。この場合、上記ゲート電極 118 は、同図 (b) に示すように、上記ソース層 114 を細分化するように一体的に形成される。そして、細分化された各ソース層 114 に対しては、P 層（または、P+ 層）115 を介して、電源（「-」のゲート電界）がそれぞれ供給されるようになっている。

【0007】一方、上記エピタキシャル層 112 の表面上には、絶縁膜 119 および層間膜 120 が設けられている。絶縁膜 119 は、上記エピタキシャル層 112 の周辺部において、上記ベース層 113 との境界部を保護するように設けられている。層間膜 120 は、上記ゲート電極 118 の表面を覆うように設けられている。さらに、上記絶縁膜 119 上および上記層間膜 120 上を含んで、上記ベース層 113、上記ソース層 114 および上記 P 層 115 の各表面部には、バリアメタル膜（たとえば、TiW）121 を介して、ソース電極（たとえば、Al）122 が共通に設けられている。

【0008】また、上記基板 111 の他表面には、ドレイン電極 123 が全面に設けられている。

【0009】図 9 は、上記同期整流回路に用いられる、

従来のショットキーバリアダイオードの構成例を示すものである。

【0010】図において、N++型基板211の一表面には、N-型のエピタキシャル層212が設けられている。このエピタキシャル層212の表面領域には、P型ベース層（ガードリング）213が形成されている。

【0011】一方、上記エピタキシャル層212の表面上には、絶縁膜214が設けられている。絶縁膜214は、上記エピタキシャル層212の周辺部において、上記ベース層213との境界部を保護するように設けられている。さらに、上記絶縁膜214上を含んで、上記エピタキシャル層212および上記ベース層213の各表面部には、バリアメタル膜（たとえば、TiW、V、または、Mo）215を介して、アノード電極（たとえば、Al）216が設けられている。

【0012】また、上記基板211の他表面には、カソード電極217が全面に設けられている。

【0013】しかしながら、このようなショットキーバリアダイオード103の外付けは、回路上の部品点数の増加と配置スペースの増大を招くという弊害があった。

【0014】

【発明が解決しようとする課題】このような弊害を回避する方法として、電界効果トランジスタ上にショットキーバリアダイオードを内蔵させることが考えられる。

【0015】図10は、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタの構成例を示すものである。

【0016】図において、N++型基板311の一表面には、N-型のエピタキシャル層312が設けられている。このエピタキシャル層312の表面領域には、第1、第2のP型ベース層313、314が形成されている。第1のベース層313の表面領域には、N+型ソース層315、および、横方向拡散領域316aを有するP層（または、P+層）316が配置されている。

【0017】また、上記エピタキシャル層312の表面部には、上記ソース層315および上記第1のベース層313を貫通し、上記エピタキシャル層312に達する深さを有して、トレンチ317が形成されている。トレンチ317内には、ゲート酸化膜318を介して、ゲート電極319が埋め込み形成されている。

【0018】一方、上記エピタキシャル層312の表面上には、絶縁膜320および層間膜321が設けられている。絶縁膜320は、上記エピタキシャル層312の周辺部において、上記第2のベース層314との境界部を保護するように設けられている。層間膜321は、上記ゲート電極319の表面を覆うように設けられている。さらに、上記絶縁膜320上および上記層間膜321上を含んで、上記エピタキシャル層312、上記第1、第2のベース層313、314、上記ソース層315および上記P層316の各表面部には、バリアメタル

膜（たとえば、TiW）322を介して、アノード電極を兼ねるソース電極（たとえば、Al）323が共通に設けられている。

【0019】また、上記基板311の他表面には、カソード電極を兼ねるドレイン電極324が全面に設けられている。

【0020】このショットキーバリアダイオードを内蔵した縦型電界効果トランジスタの場合、上記第1のベース領域313の部分でMOSFET領域325が構成されている。また、ガードリング状に形成された上記第2のベース領域314と、上記第1のベース領域313の端部と、これら第1、第2のベース領域313、314の相互間における上記エピタキシャル層312とによって、SBD領域326が構成されるようになっている。

【0021】しかしながら、この縦型電界効果トランジスタにおいては、チップサイズが、単に、縦型電界効果トランジスタとショットキーバリアダイオードとを合わせた程度のもとなる。そのため、配置スペースが増大するという弊害を回避する上において、さほどの効果が期待できない。

【0022】そこで、この発明は、チップサイズや製造コストを削減できるとともに、オン抵抗を減少させることが可能な半導体装置を提供することを目的としている。

【0023】

【課題を解決するための手段】上記の目的を達成するために、この発明の半導体装置にあっては、第1の表面および対向する第2の表面を有する第1導電型の半導体基板と、この半導体基板の第1の表面上に設けられた第1導電型の半導体層と、この半導体層の表面領域に選択的に設けられた第2導電型の第1、第2のベース領域と、前記第1のベース領域の表面領域に選択的に設けられた、少なくとも1つの第1導電型のソース領域と、前記ソース領域および前記第1のベース領域を貫通し、前記半導体層に達する深さを有して設けられたトレンチ構造の複数のゲート電極と、前記半導体層、前記第1、第2のベース領域および前記ソース領域の表面に設けられたソース電極と、前記半導体基板の第2の表面上に設けられたドレイン電極とを具備し、前記第1のベース領域、前記ソース領域および前記ゲート電極からなるトランジスタ領域と、前記第1、第2のベース領域および前記第1、第2のベース領域間の前記半導体層からなるダイオード領域とを、前記半導体基板上に配設してなることを特徴とする。

【0024】この発明の半導体装置によれば、縦型電界効果トランジスタにおける第2導電型の不純物領域（P層またはP+層）を省略できるようになる。これにより、製造工程の簡素化とトレンチ間隔の短縮化とを容易に実現することが可能となるものである。

【0025】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【0026】（第1の実施形態）図1および図2は、本発明の第1の実施形態にかかる、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタの概略構成を示すものである。なお、図1は要部の断面図であり、図2はその一部を透視して示す平面図である。

【0027】図において、N++型基板（第1導電型の半導体基板）11の一表面（第1の表面）には、N-型のエピタキシャル層（第1導電型の半導体層）12が設けられている。このエピタキシャル層12の表面領域には、第1、第2のP型ベース層（第2導電型の第1、第2のベース領域）13、14が形成されている。第1のベース層13の表面領域には、N+型ソース層（第1導電型のソース領域）15が配置されている。

【0028】また、上記エピタキシャル層12の表面部には、上記ソース層15および上記第1のベース層13を貫通し、上記エピタキシャル層12に達する深さを有して、複数のトレンチ16が形成されている。各トレンチ16内には、それぞれ、ゲート酸化膜17を介して、ポリシリコンやそれ以外の金属からなるゲート電極18が埋め込み形成されている。この実施形態の場合、たとえば図2に示すように、各ゲート電極18は、上記ソース層15を互いに接続し、細分化しないような略櫛歯型形状を有して形成されている。これにより、たとえば、図示断面方向に沿って複数の領域に分割された上記ソース層15のそれぞれに対して、1ヶ所から電源（「-」のゲート電界）の供給が可能な構成となっている。

【0029】一方、上記エピタキシャル層12の表面上には、絶縁膜19および層間膜20が設けられている。絶縁膜19は、上記エピタキシャル層12の周辺部において、上記第2のベース層14との境界部を保護するように設けられている。層間膜20は、上記ゲート電極18の表面をそれぞれ覆うように設けられている。さらに、上記絶縁膜19上および上記層間膜20上を含んで、上記エピタキシャル層12、上記第1、第2のベース層13、14および上記ソース層15の各表面部には、バリアメタル膜（たとえば、TiW）21を介して、アノード電極を兼ねるソース電極（たとえば、Al）22が共通に設けられている。

【0030】また、上記基板11の他表面（第2の表面）には、カソード電極を兼ねるドレイン電極23が全面に設けられている。

【0031】なお、このショットキーバリアダイオードを内蔵した縦型電界効果トランジスタの場合、上記第1のベース領域13の部分でMOSFET領域24が構成されている。また、ガードリング状に形成された上記第2のベース領域14と、上記第1のベース領域13の端部と、これら第1、第2のベース領域13、14の相互間における上記エピタキシャル層12とによって、ショ

ットキーバリアダイオード（SBD）領域25が構成されるようになっている。

【0032】このような構成によれば、連続する上記ソース層15のそれぞれに対して、1ヶ所から電源の供給が可能となる。これにより、従来のようなソース層のそれぞれに電源を供給するための、たとえば第2導電型の不純物領域からなるP層（または、P+層）を省略できるようになる。その結果、製造工程を大幅に簡素化できるとともに、トレンチ16の間隔を短縮化することが容易に可能となるものである。

【0033】上記したように、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタにおいて、P層（または、P+層）を省略できるようにしている。すなわち、ゲート電極の形状を工夫することによって、ソース層のそれぞれに対して、1ヶ所から電源の供給が可能となるようにしている。これにより、従来、ソース層のそれぞれに電源を供給するために設けられていたP層（または、P+層）を省略することが可能となる。よって、少なくともP層（または、P+層）を省略できる分だけ、製造工程を簡素化できるとともに、チップサイズを小型化できるようになる。したがって、チップサイズや製造コストを削減できるとともに、オン抵抗を減少させることが容易に可能となるものである。

【0034】具体的には、ソース層間のP層（または、P+層）を省くことによって、従来の装置に比して、同じデザインルールで約18%のオン抵抗減少効果が得られた。

【0035】また、P層（または、P+層）の形成工程が不要になる結果、約9%のプロセス削減が可能となった。

【0036】さらに、ショットキーバリアダイオードを縦型電界効果トランジスタに内蔵して1パッケージ化する際に、P層（または、P+層）を省略することによって、約25%の基板実装面積の縮小が図れた。これにより、従来のような回路上の部品点数の増加と配置スペースの増大を招くという弊害も回避できるものである。

【0037】なお、ゲート電極18の形状は図示した櫛歯型の基本パターンに限らず、たとえば、ソース層を千鳥状にずらして配置するなど、「-」のゲート電界の供給位置を減らすことが可能な各種のパターン形状を用途に応じて任意に採用できる。

【0038】（第2の実施形態）図3は、本発明の第2の実施形態にかかる、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタの概略構成を示すものである。

【0039】このショットキーバリアダイオードを内蔵する縦型電界効果トランジスタは、ソース層間に設けられるP層（または、P+層）の一部を、一定の間隔をもって配置（一部を省略）するようにした場合の例である。

【0040】具体的には、N++型基板（第1導電型の半導体基板）11の一表面（第1の表面）には、N-型のエピタキシャル層（第1導電型の半導体層）12が設けられている。このエピタキシャル層12の表面領域には、第1、第2のP型ベース層（第2導電型の第1、第2のベース領域）13、14が形成されている。第1のベース層13の表面領域には、複数のN+型ソース層（第1導電型のソース領域）15が等間隔に配置されている。また、上記第1のベース層13の表面領域には、各ソース層15間に対応して、それぞれ、横方向拡散領域31aを有する第2導電型の不純物領域としてのP層（または、P+層）31が配置されている。

【0041】さらに、上記エピタキシャル層12の表面部には、上記ソース層15および上記第1のベース層13を貫通し、上記エピタキシャル層12に達する深さを有して、複数のトレンチ16が形成されている。各トレンチ16内には、それぞれ、ゲート酸化膜17を介して、ポリシリコンやそれ以外の金属からなるゲート電極18が埋め込み形成されている。この実施形態の場合、各ゲート電極18は、それぞれのソース層15ごとに分割されて形成されている。これにより、たとえば、図示断面方向に沿って複数の領域に分割された上記ソース層15のそれぞれに対して、各所から電源の供給が行われる構成となっている。

【0042】一方、上記エピタキシャル層12の表面上には、絶縁膜19および層間膜20が設けられている。絶縁膜19は、上記エピタキシャル層12の周辺部において、上記第2のベース層14との境界部を保護するように設けられている。層間膜20は、上記ゲート電極18の表面をそれぞれ覆うように設けられている。さらに、上記絶縁膜19上および上記層間膜20上を含んで、上記エピタキシャル層12、上記第1、第2のベース層13、14、上記ソース層15および上記P層31の各表面部には、バリアメタル膜（たとえば、TiW）21を介して、アノード電極を兼ねるソース電極（たとえば、Al）22が共通に設けられている。

【0043】また、上記基板11の他表面（第2の表面）には、カソード電極を兼ねるドレイン電極23が全面に設けられている。

【0044】なお、このショットキーバリアダイオードを内蔵した縦型電界効果トランジスタの場合、上記第1のベース領域13の部分でMOSFET領域24が構成されている。また、ガードリング状に形成された上記第2のベース領域14と、上記第1のベース領域13の端部と、これら第1、第2のベース領域13、14の相互間における上記エピタキシャル層12とによって、ショットキーバリアダイオード（SBD）領域25が構成されるようになっている。

【0045】このような構造とした場合、上述した第1の実施形態に示したトランジスタほど、プロセス削減効

果ならびに基板面積の縮小効果はないものの、オン抵抗減少効果についてはそこそこの効果が期待できる。

【0046】（第3の実施形態）図4は、本発明の第3の実施形態にかかる、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタの概略構成を示すものである。なお、同図（a）は要部の断面図であり、同図（b）は図（a）中の丸で囲んだ部分を拡大して示す拡大図である。

【0047】このショットキーバリアダイオードを内蔵する縦型電界効果トランジスタは、たとえば図1に示した構成において、MOSFET領域24に対応する部分とSBD領域25に対応する部分とで、バリアメタル膜21の材質（膜質）を変化させるようにした場合の例である。

【0048】具体的には、バリアメタル膜21は、SBD領域25に対応して設けられる第1のバリアメタル（たとえば、Mo）21aと、MOSFET領域24に対応して設けられる第2のバリアメタル（たとえば、TiW）21bとからなっている。第1のバリアメタル21aおよび第2のバリアメタル21bは、上記第1のベース層13上において、互いの接部が重なり合うようにして配設されている。この場合、図示の如く、必ずしも第1のバリアメタル21a上に第2のバリアメタル21bが位置する必要はない。

【0049】このような構成によれば、下地層に対するソース電極22の接着性をより高めることが可能となる。

【0050】なお、この構成は、図1に示した構成のショットキーバリアダイオードを内蔵する縦型電界効果トランジスタに適用した場合に限らず、たとえば、図3に示した構成のショットキーバリアダイオードを内蔵する縦型電界効果トランジスタにも同様に適用できる。

【0051】（第4の実施形態）図5は、本発明の第4の実施形態にかかる、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタの概略構成を示すものである。

【0052】このショットキーバリアダイオードを内蔵する縦型電界効果トランジスタは、たとえば図1に示した構成において、MOSFET領域24に対応する部分とSBD領域25に対応する部分とで、バリアメタル膜21の膜厚を変化させるようにした場合の例である。

【0053】具体的には、バリアメタル膜21は、SBD領域25に対応して設けられる第1のバリアメタル（たとえば、Mo）21aと、この第1のバリアメタル21a上を含む、上記エピタキシャル層12の全面に設けられる第3のバリアメタル（たとえば、TiW）21cとからなっている。

【0054】このような構成によれば、下地層に対するソース電極22の接着性をより高めることが可能となるだけでなく、ソース電極22を第2のバリアメタル21

cと同時にパターンニング可能となる。

【0055】なお、この構成は、図1に示した構成のショットキーバリアダイオードを内蔵する縦型電界効果トランジスタに適用した場合に限らず、たとえば、図3に示した構成のショットキーバリアダイオードを内蔵する縦型電界効果トランジスタにも同様に適用できる。

【0056】（第5の実施形態）図6は、本発明の第5の実施形態にかかる、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタの概略構成を示すものである。

【0057】このショットキーバリアダイオードを内蔵する縦型電界効果トランジスタは、たとえば、複数のMOSFET領域24の相互間にSBD領域25を分散させて配設するようにした場合の例である。

【0058】具体的には、N++型基板（第1導電型の半導体基板）11の一表面（第1の表面）には、N-型のエピタキシャル層（第1導電型の半導体層）12が設けられている。このエピタキシャル層12の表面領域には、複数のP型ベース層（第2導電型のベース領域）13が形成されている。各ベース層13の表面領域には、N+型ソース層（第1導電型のソース領域）15がそれぞれ配置されている。

【0059】また、上記エピタキシャル層12の表面部には、上記ソース層15および上記ベース層13を貫通し、上記エピタキシャル層12に達する深さを有して、複数のトレンチ16が形成されている。各トレンチ16内には、それぞれ、ゲート酸化膜17を介して、ポリシリコンやそれ以外の金属からなるゲート電極18が埋め込み形成されている。この実施形態の場合、複数の領域に分割して形成された上記各ソース層15に対して、それぞれ、1ヶ所から電源の供給が可能な形状を有して、上記ゲート電極18は形成されている。

【0060】一方、上記エピタキシャル層12の表面上には、絶縁膜19および層間膜20が設けられている。絶縁膜19は、上記エピタキシャル層12の周辺部において、上記ベース層13との境界部を保護するように設けられている。層間膜20は、上記ゲート電極18の表面をそれぞれ覆うように設けられている。さらに、上記絶縁膜19上および上記層間膜20上を含んで、上記エピタキシャル層12、上記ベース層13および上記ソース層15の各表面部には、バリアメタル膜（たとえば、TiW）21を介して、アノード電極を兼ねるソース電極（たとえば、Al）22が共通に設けられている。

【0061】また、上記基板11の他表面（第2の表面）には、カソード電極を兼ねるドレイン電極23が全面に設けられている。

【0062】このショットキーバリアダイオードを内蔵した縦型電界効果トランジスタの場合、上記ベース領域13のそれぞれの部分でMOSFET領域24が構成されている。また、上記ベース領域13の各端部と、これ

らベース領域13の相互間における上記エピタキシャル層12とによって、それぞれ、ショットキーバリアダイオード（SBD）領域25が構成されている。

【0063】このように、MOSFET領域24の相互間にSBD領域25を分散させて配設するようにした場合、第1の実施形態の場合と略同様の効果が期待できるだけでなく、使用電流の増加とともに、発熱源が集中しないため、温度上昇の抑制効果による破壊耐性の向上が可能となる。

【0064】また、この構成においては、上述の第2の実施形態に示した、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタ（図3参照）のように、さらに、ソース層15間に選択的にP層（または、P+層）を配置するようにすることも可能である。

【0065】その他、上述の実施形態に限らず、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタとしては、P型基板を採用するものにも同様に適用できる。

【0066】また、ゲート電極を素子の表面に配置した構造の、ショットキーバリアダイオードを内蔵する電界効果トランジスタにも適用可能である。

【0067】さらに、本願発明は、上記（各）実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記（各）実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、

（各）実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題（の少なくとも1つ）が解決でき、発明の効果の欄で述べられている効果（の少なくとも1つ）が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

【0068】

【発明の効果】以上、詳述したようにこの発明によれば、チップサイズや製造コストを削減できるとともに、オン抵抗を減少させることが可能な半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態にかかる、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタの概略構成を示す断面図。

【図2】同じく、図1の一部を透視して示す概略平面図。

【図3】本発明の第2の実施形態にかかる、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタの概略構成を示す断面図。

【図4】本発明の第3の実施形態にかかる、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタの概略構成を示す断面図。

【図5】本発明の第4の実施形態にかかる、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタの概略構成を示す断面図。

【図6】本発明の第5の実施形態にかかる、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタの概略構成を示す断面図。

【図7】従来技術とその問題点を説明するために示す、電界効果トランジスタを使用した同期整流回路の回路構成図。

【図8】同じく、同期整流回路に用いられる、縦型電界効果トランジスタの一例を示す構成図。

【図9】同じく、同期整流回路に用いられる、ショットキーバリアダイオードの構成例を示す断面図。

【図10】同じく、ショットキーバリアダイオードを内蔵する縦型電界効果トランジスタの概略構成を示す断面図。

【符号の説明】

11…N++型基板

12…N-型のエピタキシャル層

13…P型ベース層（第1）

14…P型ベース層（第2）

15…N+型ソース層

16…トレンチ

17…ゲート酸化膜

18…ゲート電極

19…絶縁膜

20…層間膜

21…バリアメタル膜

21a…第1のバリアメタル

21b…第2のバリアメタル

21c…第3のバリアメタル

22…ソース電極

23…ドレイン電極

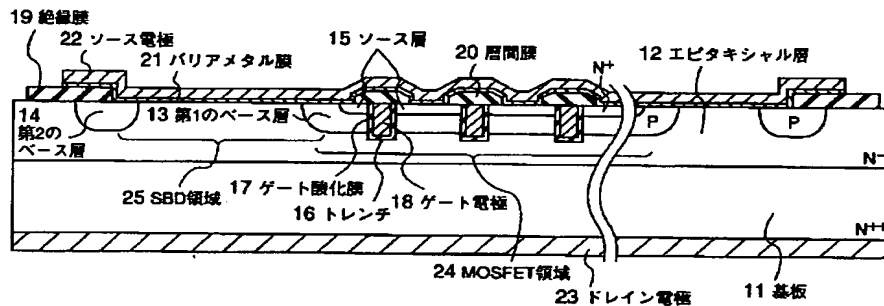
24…MOSFET領域

25…ショットキーバリアダイオード（SBD）領域

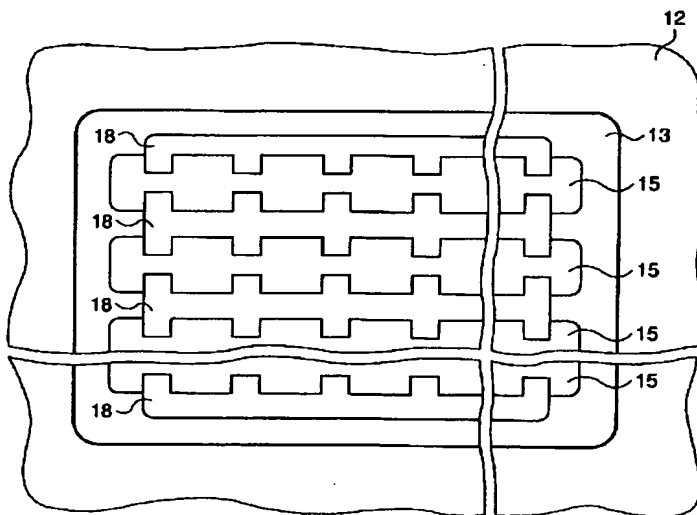
31…P層（または、P+層）

31a…横方向拡散領域

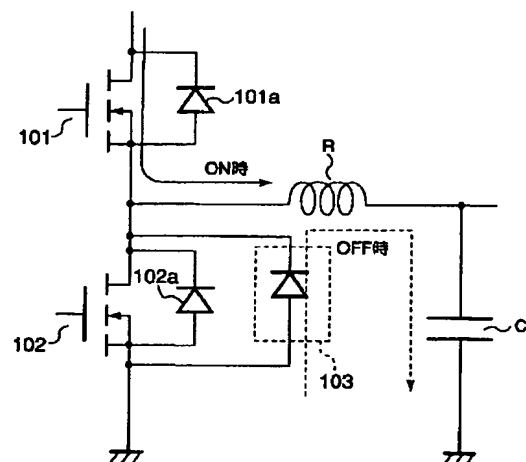
【図1】



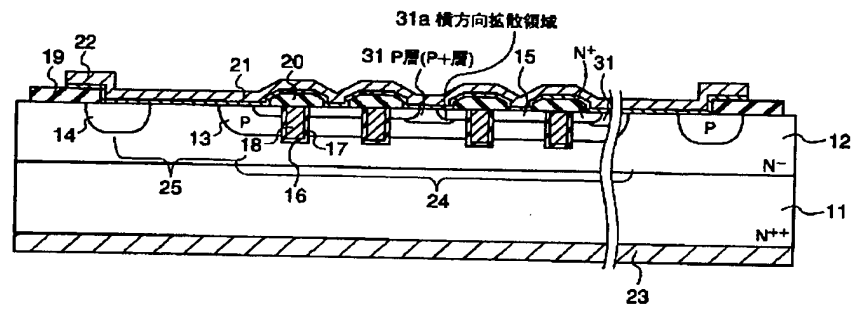
【図2】



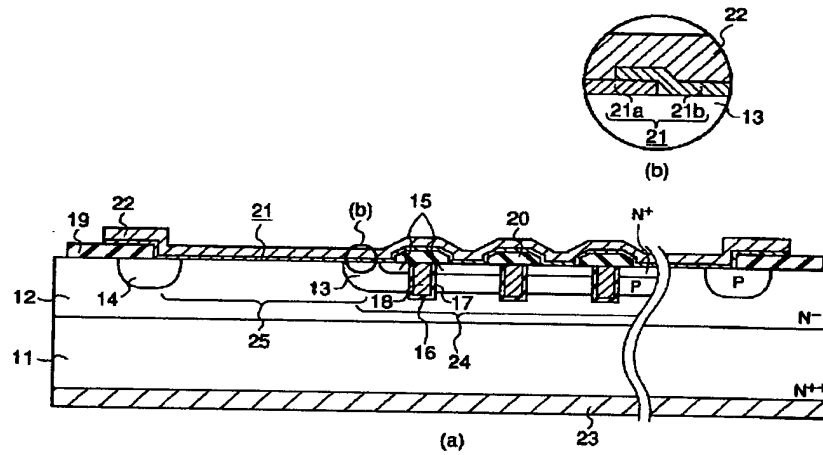
【図7】



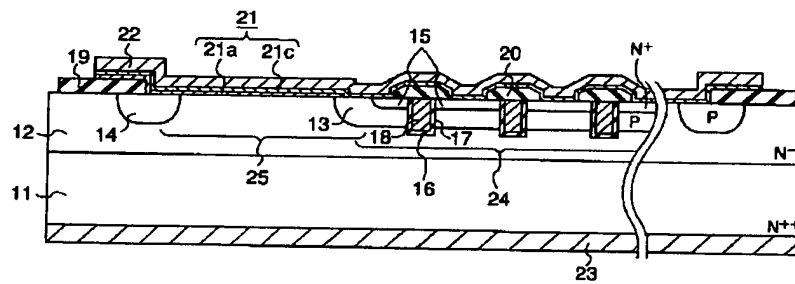
【図3】



【図4】



【図5】

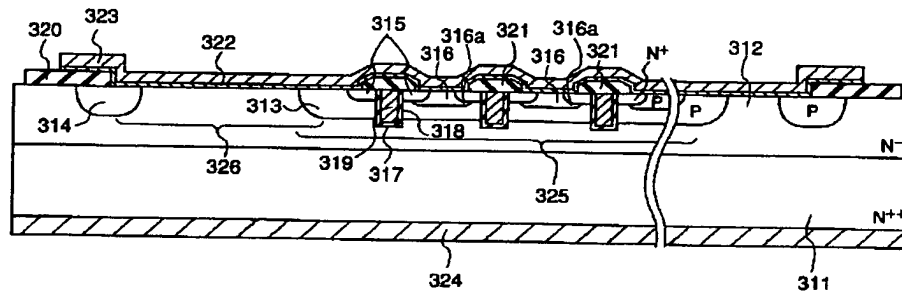


[illegible]

Figure 1 consists of two views of a semiconductor device. View (a) is a cross-sectional view showing a substrate with layers 112, 111, and 123. A region 113 is formed in the substrate, containing a P-type region and N+ regions. A series of vertical structures 114, 115, and 115a are formed on the surface. A horizontal layer 113 is also shown. View (b) is a plan view showing a grid of square regions 114, 115, and 115a, with a central region 118 and a surrounding region 117.

Fig. 1 is a cross-sectional view of a semiconductor device. The device consists of a substrate 211 with an N⁺ region. A layer 212 is formed on the substrate, containing an N⁻ region and a P region. A layer 213 is formed on the N⁻ region. A layer 214 is formed on the P region. A layer 215 is formed on the N⁻ region. A layer 216 is formed on the P region. A layer 217 is formed on the N⁺ region. The device is shown with various contacts and interconnects.

【図 10】



フロントページの続き

(51) Int. Cl.⁷

H01L 21/8234
27/06
29/872

識別記号

FI

H01L 27/06
29/48

テーマコード(参考)

102A
F

Fターム(参考) 4M104 BB01 BB14 BB16 BB18 CC03
DD96 FF04 FF35 GG03 GG09
GG13 GG18 HH08 HH20
5F048 AA01 AA09 AC10 BA02 BA06
BB01 BB05 BB19 BC03 BC12
BD07 BF02 CB07